



This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0027810
Application Number

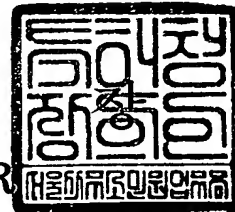
출원년월일 : 2003년 04월 30일
Date of Application APR 30, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2003.04.30
【발명의 명칭】	이중 게이트절연막을 구비하는 씨모스 이미지 센서 및 그의 제조 방법
【발명의 영문명칭】	CMOS IMAGE SENSOR WITH DOUBLE GATEOXIDE AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이주일
【성명의 영문표기】	LEE, Ju Il
【주민등록번호】	650901-1037829
【우편번호】	463-060
【주소】	경기도 성남시 분당구 이매동 금강아파트 102-503
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원

1020030027810

출력 일자: 2003/10/29

【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	332,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 $0.25\mu\text{m}$ 급 이하의 딥서브미크론 기술을 이용한 이미지센서에서도 단위화소영역의 광특성과 로직회로영역의 전기적인 성능을 동시에 확보하는데 적합한 씨모스 이미지 센서 및 그의 제조 방법에 관한 것으로, 본 발명의 씨모스 이미지 센서의 제조 방법은 단위화소어레이부와 로직회로부가 정의된 반도체 기판 상에 제1게이트절연막을 형성하는 단계, 상기 반도체 기판 상에 상기 로직회로부를 오픈시키는 마스크층을 형성하는 단계, 상기 마스크층을 식각마스크로 상기 제1게이트절연막 중에서 상기 로직회로부 상부에 형성된 부분을 제거하는 단계, 상기 마스크층을 제거하는 단계, 상기 잔류하는 제1게이트절연막을 포함한 전면에 제2게이트절연막을 형성하는 단계, 상기 단위화소어레이부에 포토다이오드 및 적어도 하나의 트랜지스터를 형성하는 단계, 및 상기 로직회로부에 상기 단위화소어레이부로부터의 출력신호를 처리하기 위한 적어도 하나의 트랜지스터를 형성하는 단계를 포함한다.

【대표도】

도 3

【색인어】

씨모스 이미지 센서, 단위화소어레이부, 로직회로부, 게이트절연막

【명세서】

【발명의 명칭】

이중 게이트절연막을 구비하는 씨모스 이미지 센서 및 그의 제조 방법{CMOS IMAGE SENSOR WITH DOUBLE GATEOXIDE AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 씨모스 이미지센서의 등가회로도,

도 2는 종래기술에 따른 씨모스 이미지센서의 소자 단면도,

도 3은 본 발명의 실시예에 따른 씨모스 이미지센서를 나타낸 구조 단면도,

도 4a 내지 도 4d는 도 3에 도시된 씨모스 이미지센서의 제조 방법을 도시한 공정 단면도.

*도면의 주요 부분에 대한 부호의 설명

11 : p형 반도체 기판

12 : p형 에피층

19a : 제1게이트절연막

28a : 제2게이트절연막

29 : 마스크층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체장치의 제조 방법에 관한 것으로, 특히 씨모스 이미지센서(CMOS Image sensor)의 제조 방법에 관한 것이다.
- <10> 일반적으로, CCD(Charge Couple Device) 또는 씨모스 이미지센서에 있어서 포토다이오드(PD)는 각 파장에 따라 입사되는 광을 전기적 신호로 변환 해주는 도입부로서, 이상적인 경우는 모든 파장대에서 광전하생성율(Quantum Efficiency)이 1인 경우로 입사된 광을 모두 집속하는 경우이기 때문에 이를 달성하기 위한 노력이 진행중이다.
- <11> 도 1은 종래 기술에 따른 씨모스 이미지센서의 등가회로도이다.
- <12> 도 1에 도시된 바와 같이, 광감지 수단인 포토다이오드(PD)와 4개의 NMOS 트랜지스터로 구성되며, 4개의 NMOS 트랜지스터 중 트랜스퍼트랜지스터(Tx)는 포토다이오드(PD)에서 생성된 광전하를 플로팅확산영역(FD)으로 운송하는 역할을 하고, 리셋트랜지스터(Rx)는 신호검출을 위해 플로팅 확산영역(FD)에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브트랜지스터(Dx)는 소스팔로워(Source Follower)로서 역할하며, 셀렉트트랜지스터(Sx)는 스위칭(Switching) 및 어드레싱(Addressing)을 위한 것이다. 도 1에서 'Cf'는 플로팅 확산영역이 갖는 캐패시턴스를 나타내고, 'Cp'는 포토다이오드가 갖는 캐패시턴스를 나타낸다. 도시되지 않은 나머지 트랜지스터는 바이어스전압(Vb)에 의해 구동되는 로드트랜지스터(Load transistor; LD)이다.

- <13> 전술한 바와 같이, 씨모스 이미지 센서는 이미지를 형성하는 단위화소 및 화상신호를 처리하는 로직회로가 하나의 칩에 구현된 화상처리 소자이다.
- <14> 도 2는 종래기술에 따른 씨모스 이미지센서의 소자 단면도이다.
- <15> 도 2를 참조하면, 크게 단위화소어레이부와 로직회로부가 정의된 p형 기판(11) 상에 p형 에피층(12)이 성장되며, p형 에피층(12)의 소정 부분에 단위화소어레이부와 로직회로부를 분리하고 로직회로부의 소자간 분리를 위한 필드절연막(FOX)이 형성된다.
- <16> 먼저, 단위화소어레이부를 살펴보면, p형 에피층(12)의 소정 부분에 드라이브트랜지스터(Dx)와 셀렉트트랜지스터(Sx)를 내포하도록 p형 웰(13)이 형성되고, 나머지 p형 에피층(12)에는 매립형 포토다이오드(Buried Photodiode; BPD), 트랜스퍼트랜지스터(Tx) 및 리셋트랜지스터(Rx)가 형성된다. 여기서, 매립형 포토다이오드는 깊은 n형 확산층(DEEP N⁻)과 얇은 p형 확산층(P⁰)으로 이루어지고, 트랜스퍼트랜지스터(Tx)는 자신의 일측 전극이 포토다이오드에 접하고 타측 전극이 플로팅확산영역(FD)에 접하며, p형 에피층(12) 상에 게이트전극(14)이 형성된다.
- <17> 그리고, 리셋트랜지스터(Rx)는 자신의 일측 전극이 플로팅확산영역(FD)에 접하고 타측 전극이 전원전압영역(VDD)에 접하며, p형 에피층(12) 상에 게이트전극(14)이 형성된다.
- <18> 그리고, 드라이브트랜지스터(Dx) 및 셀렉트트랜지스터(Sx)는 N-LDD(N type Lightly Doped Drain, 15) 구조의 소스/드레인전극(16) 구조이고, 셀렉트트랜지스터의 일측 소스/드레인전극(16)은 출력단(Output) 역할을 한다. 한편, 리셋트랜지스터(Rx) 및 트랜스퍼트랜지스터(Tx)는 N-LDD 구조가 없는 소스/드레인전극(17) 구조이며, 플로팅확산영역(FD)은 드라이브트랜지스터(Dx)의 게이트전극과 연결된다.

- <19> 그리고, 각 트랜지스터의 게이트전극(14)의 양측벽에는 스페이서(18)가 형성되고, 게이트절연막(19)은 모두 단일막이다.
- <20> 다음으로, 로직회로부를 살펴보면, p형 에피층(12)내에 nMOSFET를 형성하기 위한 p형 웰(20)과 pMOSFET를 형성하기 위한 n형 웰(21)이 이웃하여 형성되고, p형 웰(20)에 N-LDD(22) 구조의 소스/드레인전극(23)을 갖는 nMOSFET가 형성되며, n형 웰(21)에 P-LDD(24) 구조의 소스/드레인전극(25)을 갖는 pMOSFET가 형성된다. 그리고, 각 트랜지스터의 게이트전극(26)의 양측벽에는 스페이서(27)가 형성되고, 게이트절연막(28)은 단위화소어레이부의 게이트절연막(19)과 동일한 두께를 갖는다.
- <21> 전술한 바와 같이, $0.35\mu\text{m}$ 급 이상의 이미지센서에서는 그 동작전압이 높고 플로팅확산영역(FD)의 캐패시턴스값이 작아 단위화소어레이부나 로직회로부 모두 동일한 두께의 단일 게이트절연막(19, 28)을 사용하여 구성하여도 단위화소어레이부의 구동범위(Dynamic range) 및 광감도 등의 광특성측면과 로직회로부의 전력소모 및 동작속도 등의 전기적 성능 측면에서 모두 만족할만한 수준을 확보할 수 있다.
- <22> 그러나, $0.25\mu\text{m}$ 급 이하의 딥서브미크론(Deep sub micron) 기술을 이용한 이미지센서에서 단일 게이트절연막을 사용하는 경우에는 단위화소어레이부의 광특성과 로직회로부의 전기적인 성능을 동시에 확보하기가 매우 어려워 시장경쟁력이 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, $0.25\mu\text{m}$ 급 이하의 딥서브미크론 기술을 이용한 이미지센서에서도 단위화소어레이부의 광특성과 로직회로부의 전

기적인 성능을 동시에 확보하는데 적합한 씨모스 이미지 센서 및 그의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <24> 상기 목적을 달성하기 위한 본 발명의 씨모스 이미지 센서는 단위화소어레이부를 제어하고 상기 단위화소어레이부로부터의 출력신호를 처리하기 위한 로직회로부를 포함하는 씨모스 이미지 센서에 있어서, 상기 단위화소어레이부에 형성되는 게이트절연막이 상기 로직회로부에 형성되는 게이트절연막보다 상대적으로 두꺼운 것을 특징으로 하며, 상기 단위화소어레이부에는 제1게이트절연막과 제2게이트절연막의 이중막이 형성되고, 상기 로직회로부에는 상기 제2게이트절연막의 단일막이 형성되는 것을 특징으로 한다.
- <25> 그리고, 본 발명의 씨모스 이미지 센서의 제조 방법은 단위화소어레이부와 로직회로부가 정의된 반도체 기판 상에 제1게이트절연막을 형성하는 단계, 상기 반도체 기판 상에 상기 로직회로부를 오픈시키는 마스크층을 형성하는 단계, 상기 마스크층을 식각마스크로 상기 제1게이트절연막 중에서 상기 로직회로부 상부에 형성된 부분을 제거하는 단계, 상기 마스크층을 제거하는 단계, 상기 잔류하는 제1게이트절연막을 포함한 전면에 제2게이트절연막을 형성하는 단계, 상기 단위화소어레이부에 포토다이오드 및 적어도 하나의 트랜지스터를 형성하는 단계, 및 상기 로직회로부에 상기 단위화소어레이부로부터의 출력신호를 처리하기 위한 적어도 하나의 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 제1게이트절연막은 10Å ~ 40Å 두께로 형성하고, 상기 제2게이트절연막은 50Å ~ 60Å 두께로 형성하는 것을 특징으로 한다.

- <26> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <27> 도 3은 본 발명의 실시예에 따른 씨모스 이미지센서를 나타낸 구조 단면도이다. 도 3에서 게이트절연막을 제외한 각 부분이 도 2와 동일하므로, 도 2의 도면부호를 그대로 인용하기로 한다.
- <28> 도 3에 도시된 바와 같이, 크게 단위화소어레이부와 로직회로부가 정의된 p형 기판(11)상에 p형 에피층(12)이 성장되며, p형 에피층(12)의 소정 부분에 단위화소어레이부와 로직회로부를 분리하고 로직회로부의 소자간 분리를 위한 필드절연막(FOX)이 형성된다.
- <29> 먼저, 단위화소어레이부를 살펴보면, p형 에피층(12)의 소정 부분에 드라이브트랜지스터(Dx)와 셀렉트트랜지스터(Sx)를 내포하도록 p형 웰(13)이 형성되고, 나머지 p형 에피층(12)에는 매립형 포토다이오드(Buried Photodiode; BPD), 트랜스퍼트랜지스터(Tx) 및 리셋트랜지스터(Rx)가 형성된다. 여기서, 매립형 포토다이오드는 깊은 n형 확산층(DEEP N-)과 얇은 p형 확산층(P⁰)으로 이루어지고, 트랜스퍼트랜지스터(Tx)는 자신의 일측 전극이 포토다이오드에 접하고 타측 전극이 플로팅확산영역(FD)에 접하며, p형 에피층(12) 상에 게이트전극(14)이 형성된다.
- <30> 그리고, 리셋트랜지스터(Rx)는 자신의 일측 전극이 플로팅확산영역(FD)에 접하고 타측 전극이 전원전압영역(VDD)에 접하며, p형 에피층(12) 상에 게이트전극(14)이 형성된다.
- <31> 그리고, 드라이브트랜지스터(Dx) 및 셀렉트트랜지스터(Sx)는 N-LDD(N type Lightly Doped Drain, 15) 구조의 소스/드레인전극(16) 구조이고, 셀렉트트랜지스터의 일측 소스/드레

인전극(16)은 출력단(Output) 역할을 한다. 한편, 리셋트랜지스터(Rx) 및 트랜스퍼트랜지스터(Tx)는 N-LDD 구조가 없는 소스/드레인전극(17) 구조이며, 플로팅확산영역(FD)은 드라이브트랜지스터(Dx)의 게이트전극과 연결된다.

<32> 도 2와 다르게, 본 발명의 씨모스 이미지센서의 단위화소어레이부는 각 트랜지스터의 게이트전극(14)의 양측벽에 스페이서(18)가 형성되고, 게이트절연막이 제1게이트절연막(19a)과 제2게이트절연막(28a)의 이중 게이트절연막 구조가 형성되고 있다. 이때, 제1게이트절연막(19a)의 두께는 $10\text{\AA} \sim 40\text{\AA}$ 이고, 제2게이트절연막(28a)의 두께는 $50\text{\AA} \sim 60\text{\AA}$ 이다.

<33> 다음으로, 로직회로부를 살펴보면, p형 에피층(12)내에 nMOSFET를 형성하기 위한 p형 웰(20)과 pMOSFET를 형성하기 위한 n형 웰(21)이 이웃하여 형성되고, p형 웰(20)에 N-LDD(22) 구조의 소스/드레인전극(23)을 갖는 nMOSFET가 형성되며, n형 웰(21)에 P-LDD(24) 구조의 소스/드레인전극(25)을 갖는 pMOSFET가 형성된다. 그리고, 각 트랜지스터의 게이트전극(26)의 양측벽에는 스페이서(27)가 형성되고, 게이트절연막은 단위화소어레이부와 다르게 제2게이트절연막(28a)의 단일 게이트절연막이 형성되고 있다. 이때, 제2게이트절연막(28a)의 두께는 $50\text{\AA} \sim 60\text{\AA}$ 이다.

<34> 도 3에 대해 자세히 살펴보면, 단위화소어레이부에는 제1게이트절연막(19a)과 제2게이트절연막(28a)의 이중층으로 된 두꺼운 게이트절연막을 사용하기 때문에 높은 동작전압($2.5\text{V} \sim 3.3\text{V}$)을 적용할 수 있어 충분한 포화전하량을 확보할 수 있다. 이로써 씨모스 이미지센서의 포화전하량에 의해 결정되는 적절한 구동범위(dynamic range)를 확보할 수 있고, 아울러 두꺼운 게이트절연막을 단위화소영역에 적용하므로 플로팅확산영역(FD)에 연결된 드라이브트랜지스터(Dx)의 게이트절연막 캐패시턴스값을 감소시켜 플로팅확산영역(FD)의 캐패시턴스를 감소시킬

수 있다. 이로써 전자-전압 변환계수(Electron-Voltage conversion gain)를 증가시켜 광감도를 향상시키는 효과를 얻을 수 있다.

- <35> 또한 단위화소어레이부와 다르게 로직회로부에는 제2게이트절연막(28a)의 단일 게이트절연막을 사용하기 때문에 낮은 동작전압(1.8V 이하)을 적용할 수 있어 전력소모를 줄인다. 이처럼 전력소모를 줄이게 되면 모바일폰(Mobile phone)이나 디지털카메라와 같은 휴대용 제품에 적합하고 동시에 제품의 동작속도를 향상시킬 수 있어 고성능의 제품특성을 확보할 수 있다.
- <36> 도 4a 내지 도 4d는 도 3에 도시된 씨모스 이미지센서의 제조 방법을 도시한 공정 단면도이다.
- <37> 도 4a에 도시된 바와 같이, 단위화소어레이부와 로직회로부가 정의된 p형 반도체 기판(11) 상에 p형 에피층(12)을 성장시키고, p형 에피층(12)의 소정 부분에 STI법을 이용하여 필드산화막(FOX)을 형성한다.
- <38> 다음에, 이온주입 공정을 통해 각각 단위화소어레이부의 p형 에피층(12)에 p형 웰(13)을 형성하고, 로직회로부의 p형 에피층(12)에 p형 웰(20)과 n형 웰(21)을 형성한다.
- <39> 다음에, p형 에피층(12) 상에 두꺼운 제1게이트절연막(19a)을 형성한다. 이때, 제1게이트절연막(19a)은 p형 에피층(12)을 열산화시켜 형성한 실리콘산화막(SiO_2)일 수 있고, 그 두께는 $10\text{\AA} \sim 40\text{\AA}$ 이다.
- <40> 도 4b에 도시된 바와 같이, 제1게이트절연막(19a) 상에 단위화소어레이부를 덮고 로직회로부를 오픈시키는 마스크층(29)을 형성한다. 이때, 마스크층(29)은 잘 알려진 바와 같이, 제1게이트절연막(19a) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 형성한 감광막패턴이다.

- <41> 다음에, 마스크층(29)을 식각마스크로 이용하여 마스크층(29)에 의해 노출된 로직회로부의 제1게이트절연막(19a)을 습식식각한다. 이때, 제1게이트절연막(19a)을 습식식각하는 경우 불산(HF) 계열 또는 BOE(Buffered Oxide Etchant) 계열을 이용한다. 이와 같은 일련의 습식식각 공정후에 단위화소어레이부에만 제1게이트절연막(19a)이 잔류한다.
- <42> 도 4c에 도시된 바와 같이, 마스크층(29)을 제거한다. 이때, 마스크층(29)의 제거는 산소 플라즈마(O_2 plasma)를 이용한 건식식각법, H_2SO_4 를 이용한 습식식각법 또는 씨너(thinner)를 이용한 식각법을 이용한다.
- <43> 다음에, 단위화소어레이부에 잔류하는 제1게이트절연막(19a)을 포함한 로직회로부의 p형 에피층(12) 상에 제2게이트절연막(28a)을 형성한다. 이때, 제2게이트절연막(28a)은 노출된 p형 에피층(12)을 열산화시켜 형성한 것으로, $50\text{\AA} \sim 60\text{\AA}$ 두께로 형성된다.
- <44> 위와 같이 제2게이트절연막(28a)을 형성하면, 단위화소어레이부에는 제1게이트절연막(19a)과 제2게이트절연막(28a)의 이중 게이트절연막이 형성되고, 로직회로부에는 제2게이트절연막(28a)의 단일 게이트절연막이 형성된다. 결국, 단위화소어레이부에는 두꺼운 게이트절연막이 형성되고, 로직회로부에는 상대적으로 얇은 게이트절연막이 형성된다.
- <45> 후속 공정으로, 단위화소어레이부를 구성하는 매립형 포토다이오드, 트랜스퍼트랜지스터, 리셋트랜지스터, 드라이브트랜지스터 및 셀렉트트랜지스터를 형성하고, 로직회로부에 nMOSFET 및 pMOSFET를 형성한다. 자세한 설명은 생략하기로 한다.
- <46> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명

의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<47> 상술한 바와 같은 본 발명은 $0.25\mu\text{m}$ 급 이하의 딥서브미크론 기술을 이용한 이미지센서에 서 단위화소어레이부의 광특성과 로직회로부의 전기적 성능을 동시에 확보할 수 있어 제품의 시장경쟁력을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

단위화소어레이부를 제어하고 상기 단위화소어레이부로부터의 출력신호를 처리하기 위한 로직회로부를 포함하는 씨모스 이미지센서에 있어서,

상기 단위화소어레이부에 형성되는 게이트절연막이 상기 로직회로부에 형성되는 게이트 절연막보다 상대적으로 두꺼운 것을 특징으로 하는 씨모스 이미지 센서.

【청구항 2】

제1항에 있어서,

상기 단위화소어레이부에는 제1게이트절연막과 제2게이트절연막의 이중막이 형성되고, 상기 로직회로부에는 상기 제2게이트절연막의 단일막이 형성되는 것을 특징으로 하는 씨모스 이미지 센서.

【청구항 3】

제2항에 있어서,

상기 제1게이트절연막은 $10\text{\AA} \sim 40\text{\AA}$ 이고, 상기 제2게이트절연막은 $50\text{\AA} \sim 60\text{\AA}$ 인 것을 특징으로 하는 씨모스 이미지 센서.

【청구항 4】

단위화소어레이부와 로직회로부가 정의된 반도체 기판 상에 제1게이트절연막을 형성하는 단계;

상기 반도체 기판 상에 상기 로직회로부를 오픈시키는 마스크층을 형성하는 단계;

상기 마스크층을 식각마스크로 상기 제1게이트절연막 중에서 상기 로직회로부 상부에 형성된 부분을 제거하는 단계;

상기 마스크층을 제거하는 단계;

상기 잔류하는 제1게이트절연막을 포함한 전면에 제2게이트절연막을 형성하는 단계;

상기 단위화소어레이부에 포토다이오드 및 적어도 하나의 트랜지스터를 형성하는 단계;

및

상기 로직회로부에 상기 단위화소어레이부로부터의 출력신호를 처리하기 위한 적어도 하나의 트랜지스터를 형성하는 단계

를 포함하는 씨모스 이미지 센서의 제조 방법.

【청구항 5】

제4항에 있어서,

상기 제1게이트절연막은 $10\text{\AA} \sim 40\text{\AA}$ 두께로 형성하고, 상기 제2게이트절연막은 $50\text{\AA} \sim 60\text{\AA}$ 두께로 형성하는 것을 특징으로 하는 씨모스 이미지 센서.

【청구항 6】

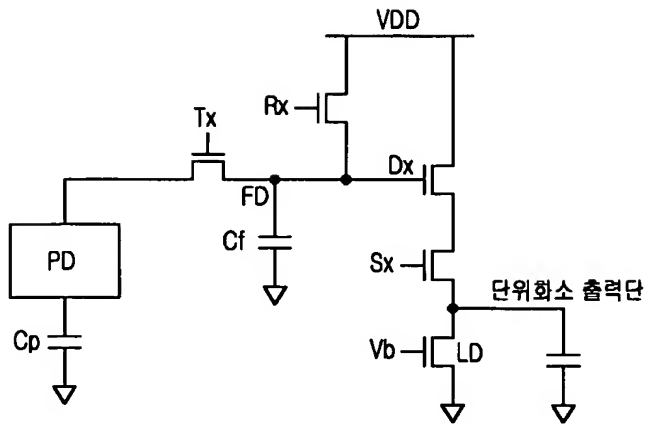
제4항에 있어서,

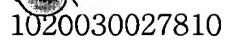
상기 마스크층을 식각마스크로 상기 제1게이트절연막 중에서 상기 로직회로부 상부에
형성된 부분을 제거하는 단계는,

습식식각을 통해 이루어지는 것을 특징으로 하는 씨모스 이미지 센서의 제조 방법.

【도면】

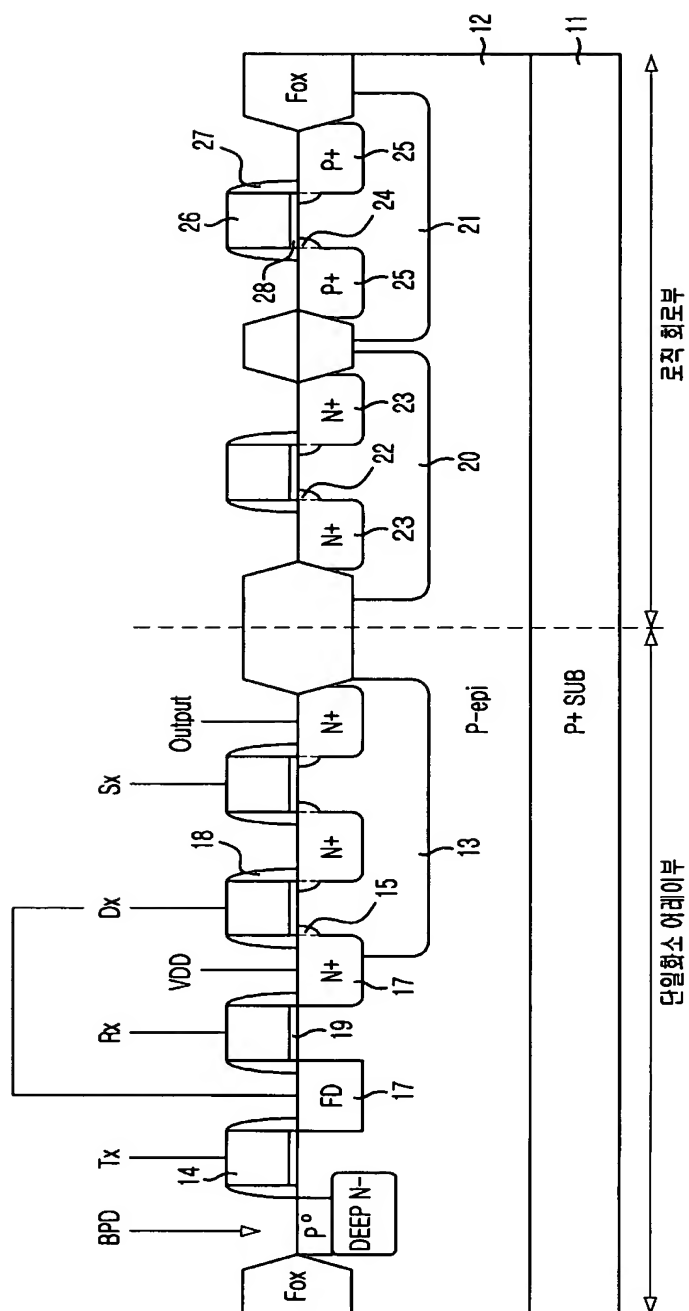
【도 1】



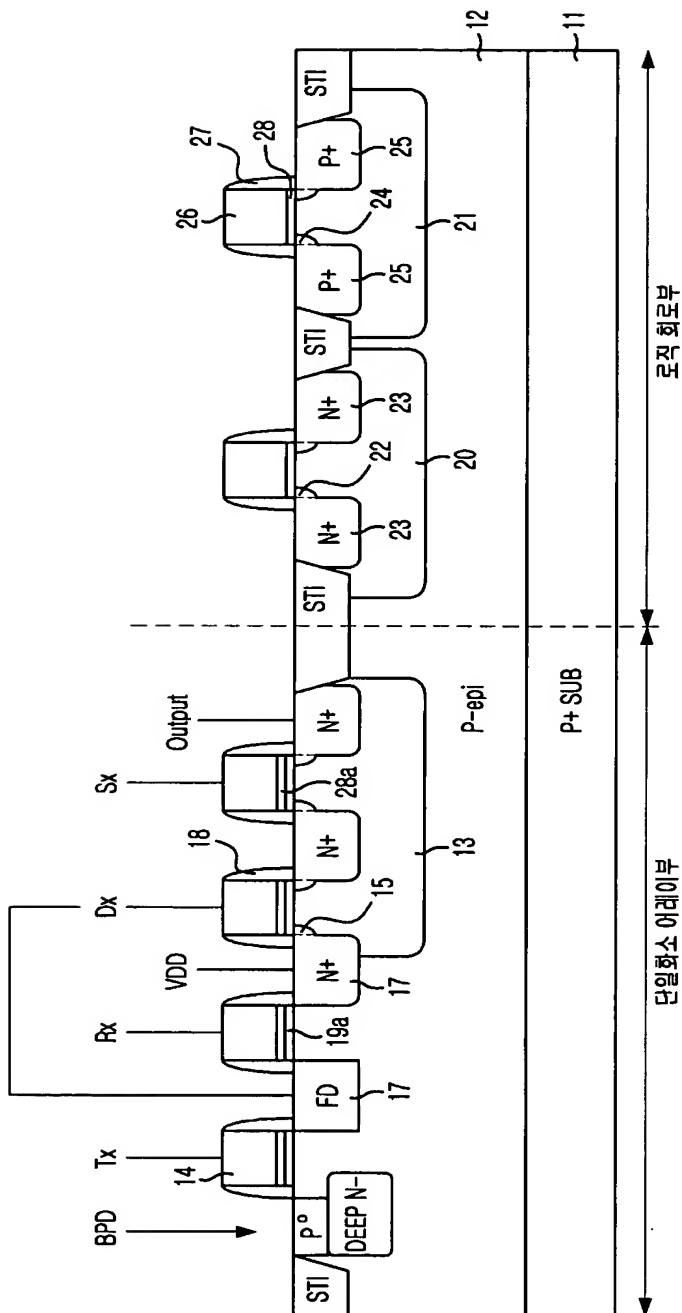


출력 일자: 2003/10/29

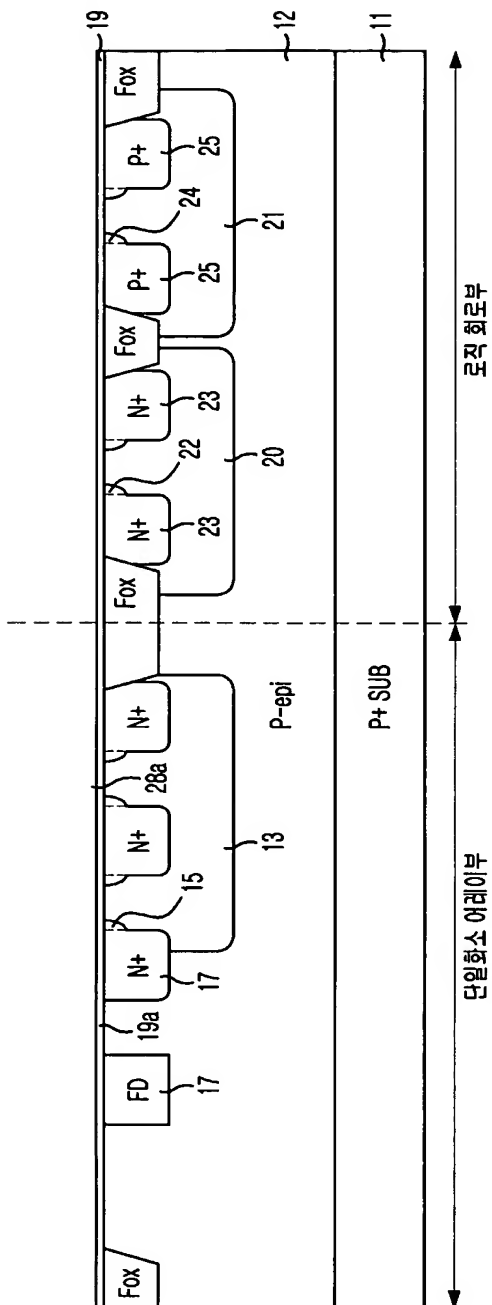
【도 2】



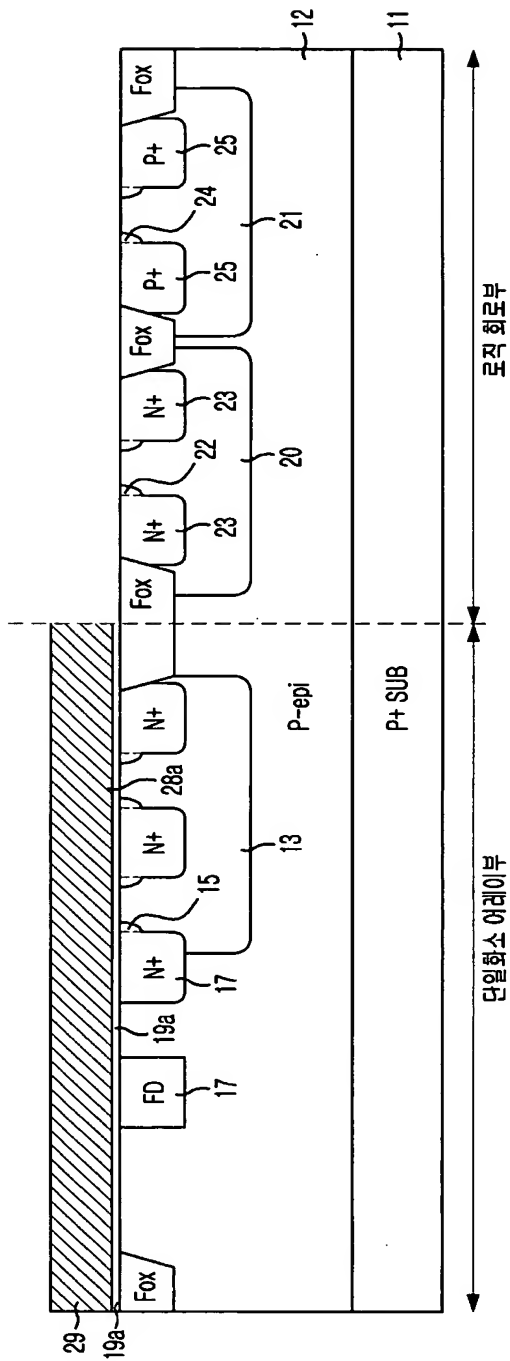
【도 3】



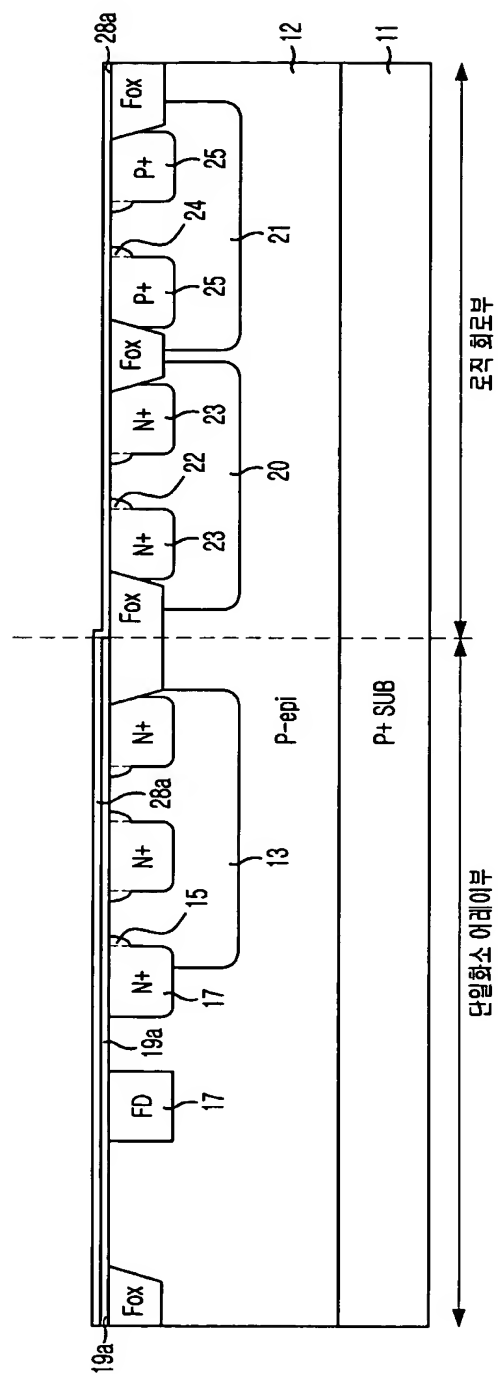
【도 4a】



【도 4b】



【도 4c】



【도 4d】

